

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-331016

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

H01L 23/522

(21)Application number : 08-150880

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 12.06.1996

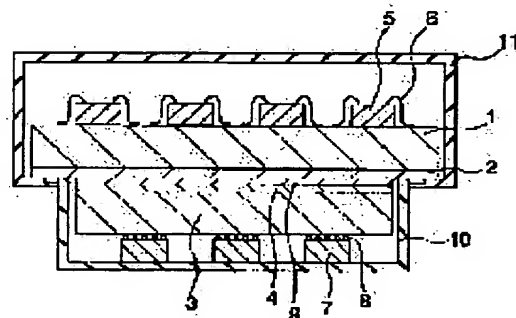
(72)Inventor : MITARAI KAZUKO
HORIUCHI MITSUAKI
TANABE SHINICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE USING MULTICHIP MODULE SUBSTRATE, AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve mounting density and electric characteristics by a method in which the backside of the second MCM substrate, on which a plurality of semiconductor chips are electrically connected, is fixed to the backside of the first multichip module substrate where a plurality of semiconductor chips are electrically connected.

SOLUTION: The backside of the second MCM substrate 3, where a plurality of LSI chips 7 are electrically connected, is fixed to the backside of the first multichip module(MCM) substrate 1 where a plurality of LSI chips 5 are electrically connected, a plurality of LSI chips 5 are electrically connected to each of the first multilayer structure MCM substrate 1 and the second MCM substrate 3, and as a result, a very large number of LSI chips can be arranged on the region of plane-wise area of the first MCM substrate 1. Also, by electrically connecting a plurality of LSI chips 5 and 7 to the first and the second multilayer structure MCM substrates 1 and 3, wiring structure can be simplified, and operating characteristics, etc., can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Home](#)[Search](#)[List](#)[Back to
Record](#)

MicroPatent® PatSearch FullText: Record 1 of 1

Family of JP9331016A

[How It Works](#)

Family of JP09331016

No additional family members are found for this document

[Home](#)[Search](#)[List](#)[Back to
Record](#)

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-331016

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl.⁶

H 0 1 L 23/522

識別記号

庁内整理番号

F I

H 0 1 L 23/52

技術表示箇所

B

審査請求 未請求 請求項の数9 O L (全8頁)

(21) 出願番号 特願平8-150880

(22) 出願日 平成8年(1996)6月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 発明者 御手洗 和子

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

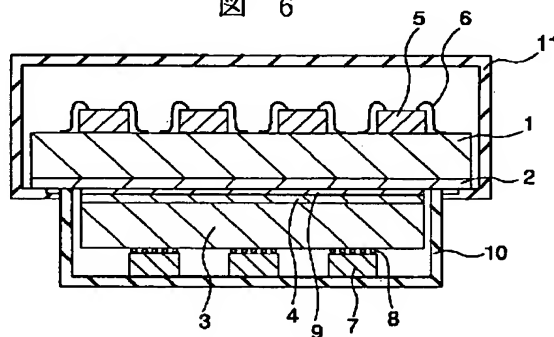
(54) 【発明の名称】 マルチチップモジュール基板を用いた半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 実装密度および電気的な特性が向上できるMCM基板を用いた半導体集積回路装置およびその製造方法を提供する。

【解決手段】 複数のLSIチップ5が電気的に接続されている第1のMCM基板1の裏面に、複数のLSIチップ7が電気的に接続されている第2のMCM基板3の裏面が固定されており、多層構造の第1のMCM基板1と第2のMCM基板3を用いた半導体集積回路装置としているものである。

図 6



1: 第1のMCM基板 5: LSIチップ
3: 第2のMCM基板 7: LSIチップ

【特許請求の範囲】

【請求項1】 複数の半導体チップが電氣的に接続されている第1のマルチチップモジュール基板の裏面に、複数の半導体チップが電氣的に接続されている第2のマルチチップモジュール基板の裏面が固定されていることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置。

【請求項2】 請求項1記載のマルチチップモジュール基板を用いた半導体集積回路装置であって、前記第2のマルチチップモジュール基板は、前記第1のマルチチップモジュール基板よりも小さい面積であることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置。

【請求項3】 請求項1または2記載のマルチチップモジュール基板を用いた半導体集積回路装置であって、前記第1のマルチチップモジュール基板の裏面に、前記第2のマルチチップモジュール基板を気密封止している第1のパッケージ用キャップが固定されていると共に前記第1のマルチチップモジュール基板を気密封止している第2のパッケージ用キャップが固定されていることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置。

【請求項4】 請求項3記載のマルチチップモジュール基板を用いた半導体集積回路装置であって、前記第1のパッケージ用キャップの内面に前記第2のマルチチップモジュール基板に電氣的に接続されている半導体チップが接触していることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置。

【請求項5】 請求項1～4のいずれか1項に記載のマルチチップモジュール基板を用いた半導体集積回路装置であって、前記第1のマルチチップモジュール基板に電氣的に接続されている半導体チップの外部電極と前記第1のマルチチップモジュール基板のパッドとがボンディングワイヤによって電氣的に接続されており、前記第2のマルチチップモジュール基板に電氣的に接続されている半導体チップの外部電極と前記第2のマルチチップモジュール基板のパッドとがバンプによって電氣的に接続されていることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置。

【請求項6】 請求項1～4のいずれか1項に記載のマルチチップモジュール基板を用いた半導体集積回路装置であって、前記第1のマルチチップモジュール基板に電氣的に接続されている半導体チップの外部電極と前記第1のマルチチップモジュール基板のパッドとがバンプによって電氣的に接続されており、前記第2のマルチチップモジュール基板に電氣的に接続されている半導体チップの外部電極と前記第2のマルチチップモジュール基板のパッドとがバンプによって電氣的に接続されていることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置。

【請求項7】 第1のマルチチップモジュール基板の裏面に導電膜を形成する工程と、

第2のマルチチップモジュール基板の裏面に導電膜を形成する工程と、

前記第1のマルチチップモジュール基板の表面に複数の半導体チップを電氣的に接続する工程と、

前記第2のマルチチップモジュール基板の表面に複数の半導体チップを電氣的に接続する工程と、

前記第1のマルチチップモジュール基板の裏面に前記第2のマルチチップモジュール基板の裏面を固定する工程とを有することを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置の製造方法。

【請求項8】 請求項7記載のマルチチップモジュール基板を用いた半導体集積回路装置の製造方法であって、前記第1のマルチチップモジュール基板の裏面に、前記第2のマルチチップモジュール基板を気密封止するための第1のパッケージ用キャップを固定すると共に前記第1のマルチチップモジュール基板を気密封止する第2のパッケージ用キャップを固定する工程を有することを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置の製造方法。

【請求項9】 請求項7または8記載のマルチチップモジュール基板を用いた半導体集積回路装置の製造方法であって、前記第1のマルチチップモジュール基板の裏面に形成する導電膜および前記第2のマルチチップモジュール基板の裏面に形成する導電膜は、それらのマルチチップモジュール基板の裏面に金膜を形成した後、加熱処理によって形成する金シリコン共晶膜とすることを特徴とするマルチチップモジュール基板を用いた半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチチップモジュール基板を用いた半導体集積回路装置およびその製造方法に関し、特に、マルチチップモジュール基板を用いて、実装密度および電氣的な特性を向上している半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】ところで、本発明者は、半導体集積回路装置の実装技術に使用されているマルチチップモジュール(multi-chip module、以下MCMという)基板を用いた半導体集積回路装置について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】すなわち、最近、LSI(Large Scale Integrated Circuit)などの半導体集積回路装置は、高集積化、微細加工化および高性能化が推進されており、それに伴いその実装においても配線基板としてMCM基板が使用されているものがある。

【0004】最近のMCM基板は、シリコンまたはセラ

ミックなどからなるベースの上に2～5層の配線層が形成されている配線基板である。

【0005】そのMCM基板を用いた半導体集積回路装置は、1つのMCM基板に対して複数のLSIチップを搭載し、大型コンピュータなどに使用されている。

【0006】なお、半導体集積回路装置の実装に使用されている配線基板について記載されている文献としては、例えば特開昭59-202654号公報に記載されているものがある。

【0007】

【発明が解決しようとする課題】ところが、前述したMCM基板を用いた半導体集積回路装置は、MCM基板およびLSIチップのサイズによって、MCM基板に搭載するLSIチップの数には限界がある。また、前述したMCM基板を用いた半導体集積回路装置において、MCM基板のパッド（電極）とそれに搭載されているLSIチップの外部電極とはワイヤボンディング法を使用してボンディングワイヤによって電氣的に接続されている。

【0008】そのため、実装密度や動作性能などの電氣的な特性を向上させるには、複数のMCM基板を使用するか、あるいはMCM基板のサイズを大型化する必要があった。

【0009】本発明の目的は、実装密度および電氣的な特性が向上できるMCM基板を用いた半導体集積回路装置およびその製造方法を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】すなわち、本発明のMCM基板を用いた半導体集積回路装置は、複数の半導体チップが電氣的に接続されている第1のMCM基板の裏面に、複数の半導体チップが電氣的に接続されている第2のMCM基板の裏面が固定されており、多層構造のMCM基板の各々に複数の半導体チップが電氣的に接続されているものである。

【0013】また、本発明のMCM基板を用いた半導体集積回路装置の製造方法は、第1のMCM基板の裏面および第2のMCM基板の裏面に導電膜を形成した後、第1のMCM基板の表面に複数の半導体チップを電氣的に接続する工程と第2のMCM基板の表面に複数の半導体チップを電氣的に接続する工程とを行い、その後、第1のMCM基板の裏面に第2のMCM基板の裏面を固定するものである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明す

るための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0015】（実施の形態1）図1～図6は、本発明の一実施の形態であるMCM基板を用いた半導体集積回路装置の製造工程を示す断面図である。同図を用いて、本実施の形態のMCM基板を用いた半導体集積回路装置およびその製造方法を具体的に説明する。

【0016】まず、本実施の形態の第1のMCM基板1を用意する。本実施の形態の第1のMCM基板1は、薄膜技術によって多層配線が形成されているもので、例えばシリコンをベースとし、そのベースの上に多層配線が設けられており、その多層配線にデカップリングコンデンサが電氣的に接続されている。なお、本実施の形態の第1のMCM基板1は、高い配線密度を有する多層配線およびデカップリングコンデンサが設けられているが、先行技術に使用されているMCM基板の構造であり、しかも複雑な構造であることにより、図示においてその多層配線層などを省略している（図1）。

【0017】次に、第1のMCM基板1の裏面に形成されている酸化シリコン膜などの絶縁膜（図示を省略）を選択エッチング法などによって取り除いた後、その裏面に例えば金（Au）膜などの金属膜をスパッタリング法を使用して形成し、その後熱処理を行って第1のMCM基板1の裏面に例えば金シリコン共晶膜などの導電膜2を形成する。

【0018】その後、本実施の形態の第2のMCM基板3を用意する。本実施の形態の第2のMCM基板3は、薄膜技術によって多層配線が形成されているもので、例えばシリコンをベースとし、そのベースの上に多層配線が設けられており、その多層配線にデカップリングコンデンサが電氣的に接続されている。また、本実施の形態の第2のMCM基板3は、第1のMCM基板1よりも小面積のものである。なお、本実施の形態の第2のMCM基板3は、高い配線密度を有する多層配線およびデカップリングコンデンサが設けられているが、先行技術に使用されているMCM基板の構造であり、しかも複雑な構造であることにより、図示においてその多層配線層などを省略している（図2）。

【0019】次に、第2のMCM基板3の裏面に形成されている酸化シリコン膜などの絶縁膜（図示を省略）を選択エッチング法などによって取り除いた後、それらの裏面に例えば金膜などの金属膜をスパッタリング法により形成し、その後熱処理を行って第2のMCM基板3の裏面に例えば金シリコン共晶膜などの導電膜4を形成する。この場合、第1のMCM基板1の裏面に形成する導電膜2と第2のMCM基板3の裏面に形成する導電膜4は、必要に応じて同一の製造工程を使用して形成することができる。

【0020】次に、第1のMCM基板1の表面に複数のLSIチップ5を付着した後、ワイヤボンディング法を

使用して例えば金線またはアルミニウム線などのボンディングワイヤ6をもって、LSIチップ5の外部電極と第1のMCM基板1のパッドとを電気的に接続する(図3)。この場合、LSIチップ5は、メモリ用のものを採用しているが、ロジック用などの種々の態様の半導体チップを採用することができる。

【0021】次に、第2のMCM基板3の表面に複数のLSIチップ7を配置した後、LSIチップ7の裏面に設けられている例えばはんだバンプなどのバンプ8を第2のMCM基板3のパッドに電気的に接続する(図4)。この場合、LSIチップ7は、ロジック用のものを採用しているが、メモリ用などの種々の態様の半導体チップを採用することができる。

【0022】その後、第1のMCM基板1の裏面に第2のMCM基板3の裏面を配置して、導電性の接着材9を使用してそれらを電気的に接続する(図5)。この場合、第1のMCM基板1の裏面の導電膜2と第2のMCM基板3の裏面の導電膜4とを金シリコン共晶膜としている際には、それらを熱処理することによって、導電性の接着材9を省略した態様をもって、第1のMCM基板1の裏面に第2のMCM基板3の裏面を電気的に接続することができる。

【0023】次に、第1のMCM基板1の裏面に、第1のパッケージ用キャップ10を固定した後、第2のパッケージ用キャップ11を固定する(図6)。第1のパッケージ用キャップ10および第2のパッケージ用キャップ11は、例えばアルミナイトライドまたはムライトなどの材料から形成されているものを採用しているが、気密封止ができる種々の態様のパッケージ用キャップを適用でき、それらを第1のMCM基板1の裏面に固定する際には金とスズ(Sn)との合金などからなる接着材を使用して行っている。

【0024】この場合、第2のMCM基板3に配置されている複数のLSIチップ7が第1のパッケージ用キャップ10の内面に接触させた状態をもって第1のパッケージ用キャップ10を第1のMCM基板1の裏面に固定させていることによって、複数のLSIチップ7が第2のMCM基板3に固定されている状態の安定度を向上させている。また、第1のパッケージ用キャップ10と第2のパッケージ用キャップ11を用いて気密封止を行う際に、第1のパッケージ用キャップ10の側面に第2のパッケージ用キャップ11の端部を密着させるために、第2のパッケージ用キャップ11の端部近傍を他の領域よりも薄膜状態としてその領域に弾力性を持たせる態様を採用している。

【0025】前述した本実施の形態のMCM基板を用いた半導体集積回路装置によれば、複数のLSIチップ5が電気的に接続されている第1のMCM基板1の裏面に、複数のLSIチップ7が電気的に接続されている第2のMCM基板3の裏面が固定されており、多層構造の

第1のMCM基板1および第2のMCM基板3の各々に複数のLSIチップ5およびLSIチップ7が電気的に接続されていることによって、第1のMCM基板1の平面的な面積の領域の下部に第2のMCM基板3が配置されている構造であるので、第1のMCM基板1の平面的な面積の領域に極めて多くのLSIチップを配置できる。したがって、実装密度を向上することができる。

【0026】また、前述した本実施の形態のMCM基板を用いた半導体集積回路装置によれば、多層構造の第1のMCM基板1および第2のMCM基板3の各々に複数のLSIチップ5およびLSIチップ7が電気的に接続されていると共に第1のMCM基板1の裏面と第2のMCM基板3の裏面とが電気的に接続されていることによって、配線構造が簡略化できるので、動作性能などの電気的な特性を向上することができる。

【0027】さらに、前述した本実施の形態のMCM基板を用いた半導体集積回路装置によれば、第2のMCM基板3に電気的に接続されている複数のLSIチップ7は、バンプ8を用いているので、ボンディングワイヤを用いて行われているものに比較して、実装遅延速度などの電気的な特性を向上することができる。また、複数のLSIチップ7が第2のMCM基板3に固定されている状態の安定度を向上することができる。

【0028】前述した本実施の形態のMCM基板を用いた半導体集積回路装置の製造方法によれば、複数のLSIチップ5が電気的に接続されている第1のMCM基板1の裏面に、複数のLSIチップ7が電気的に接続されている第2のMCM基板3の裏面を固定する場合に、それらの裏面に形成されている導電膜2と導電膜4とを用いて電気的に接続していることにより、第1のMCM基板1の裏面に第2のMCM基板3の裏面を固定する際に簡単な製造工程によって行うことができる。

【0029】また、前述した本実施の形態のMCM基板を用いた半導体集積回路装置の製造方法によれば、多層構造の第1のMCM基板1と第2のMCM基板3を第1のパッケージ用キャップ10と第2のパッケージ用キャップ11を用いて気密封止していることによって、実装作業を簡単な製造工程によって行うことができる。

【0030】(実施の形態2)図7～図12は、本発明の他の実施の形態であるMCM基板を用いた半導体集積回路装置の製造工程を示す断面図である。同図を用いて、本実施の形態のMCM基板を用いた半導体集積回路装置およびその製造方法を具体的に説明する。

【0031】まず、前述した実施の形態1と同様な第1のMCM基板1を用意する。次に、前述した実施の形態1と同様に第1のMCM基板1の裏面に導電膜2を形成する(図7)。また、前述した実施の形態1と同様な第2のMCM基板3を用意する。次に、前述した実施の形態1と同様に第2のMCM基板3の裏面に導電膜4を形成する(図8)。

【0032】次に、第1のMCM基板1の表面に複数のLSIチップ12を配置した後、LSIチップ12の裏面に設けられている例えばんだバンパなどのバンパ13を第1のMCM基板1のパッドに電気的に接続する(図9)。また、前述した実施の形態1と同様に、第2のMCM基板3の表面に複数のLSIチップ7を配置した後、LSIチップ7の裏面に設けられている例えばんだバンパなどのバンパ8を第2のMCM基板3のパッドに電気的に接続する(図10)。

【0033】その後、第1のMCM基板1の裏面に第2のMCM基板3の裏面を配置して、導電性の接着材9を使用してそれらを電気的に接続する(図11)。この場合、第1のMCM基板1の裏面の導電膜2と第2のMCM基板3の裏面の導電膜4とを金シリコン共晶膜としている際には、それらを熱処理することによって、導電性の接着材9を省略した態様をもって、第1のMCM基板1の裏面に第2のMCM基板3の裏面を電気的に接続することができる。

【0034】次に、第1のMCM基板1の裏面に、第1のパッケージ用キャップ10を固定した後、第2のパッケージ用キャップ11を固定する(図12)。第1のパッケージ用キャップ10および第2のパッケージ用キャップ11ならびにそれらを第1のMCM基板1の裏面に固定する際の接着材は、前述した実施の形態1と同様であるので、説明を省略する。

【0035】前述した本実施の形態のMCM基板を用いた半導体集積回路装置によれば、前述した実施の形態1のMCM基板を用いた半導体集積回路装置と同様な効果を得ることができる。また、前述した本実施の形態のMCM基板を用いた半導体集積回路装置によれば、第1のMCM基板1に電気的に接続されている複数のLSIチップ12は、バンパ13を用いているので、ボンディングワイヤを用いて行われているものに比較して、実装遅延速度などの電気的な特性が向上することができる。また、複数のLSIチップ12が第1のMCM基板1に固定されている状態の安定度を向上することができる。

【0036】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0037】例えば、本発明の第1のMCM基板および第2のMCM基板は、シリコンをベースとしたものの以外に、セラミックまたはアルミニウムなどをベースとして薄膜技術で多層配線を形成したもの、あるいはガラス・エポキシ樹脂製の多層プリント配線を有するものなどを適用できる。

【0038】また、本発明の第1のMCM基板および第2のMCM基板に電気的に接続する半導体チップは、MOSFET、CMOSFET、バイポーラトランジスタ

またはMOSFETとバイポーラトランジスタを組み合わせたBiMOSあるいはBiCMOS構造などの種々の半導体素子を組み合わせた態様の半導体チップとすることができる。

【0039】さらに、本発明のMCM基板を用いた半導体集積回路装置は、大型コンピュータなどの計算機、パソコン、通信装置などの回路システムに使用されている半導体チップなどをMCM基板に搭載した態様とすることができる。

【0040】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0041】(1)．本発明のMCM基板を用いた半導体集積回路装置によれば、複数のLSIチップなどの半導体チップが電気的に接続されている第1のMCM基板の裏面に、複数の半導体チップが電気的に接続されている第2のMCM基板の裏面が固定されており、多層構造のMCM基板とし、各々のMCM基板に複数の半導体チップが電気的に接続することができる。また、第1のMCM基板の平面的な面積の領域の下部に第2のMCM基板が配置されている構造であるので、第1のMCM基板の平面的な面積の領域に極めて多くの半導体チップを配置できる。したがって、実装密度を向上することができる。

【0042】(2)．本発明のMCM基板を用いた半導体集積回路装置によれば、多層構造のMCM基板とし、そのMCM基板の各々に複数の半導体チップが電気的に接続されていると共に第1のMCM基板の裏面と第2のMCM基板の裏面とが電気的に接続されていることによって、配線構造が簡略化できるので、動作性能などの電気的な特性を向上することができる。

【0043】(3)．本発明のMCM基板を用いた半導体集積回路装置によれば、第2のMCM基板に電気的に接続されている複数の半導体チップは、バンパを用いているので、ボンディングワイヤを用いて行われているものに比較して、実装遅延速度などの電気的な特性を向上することができる。また、複数の半導体チップが第2のMCM基板に固定されている状態の安定度を向上することができる。

【0044】(4)．本発明のMCM基板を用いた半導体集積回路装置の製造方法によれば、複数の半導体チップが電気的に接続されている第1のMCM基板の裏面に、複数の半導体チップが電気的に接続されている第2のMCM基板の裏面を固定する場合に、それらの裏面に形成されている導電膜を用いて電気的に接続していることにより、第1のMCM基板の裏面に第2のMCM基板の裏面を固定する際に簡単な製造工程によって行うことができる。

【0045】(5)．本発明のMCM基板を用いた半導

体集積回路装置の製造方法によれば、多層構造の第1のMCM基板と第2のMCM基板を第1のパッケージ用キャップと第2のパッケージ用キャップを用いて気密封止していることによって、実装作業を簡単な製造工程によって行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるMCM基板を用いた半導体集積回路装置の製造工程を示す断面図である。

【図2】図1に続く半導体集積回路装置の製造工程を示す断面図である。

【図3】図2に続く半導体集積回路装置の製造工程を示す断面図である。

【図4】図3に続く半導体集積回路装置の製造工程を示す断面図である。

【図5】図4に続く半導体集積回路装置の製造工程を示す断面図である。

【図6】図5に続く半導体集積回路装置の製造工程を示す断面図である。

【図7】本発明の他の実施の形態であるMCM基板を用いた半導体集積回路装置の製造工程を示す断面図である。

【図8】図7に続く半導体集積回路装置の製造工程を示す断面図である。

【図9】図8に続く半導体集積回路装置の製造工程を示す断面図である。

【図10】図9に続く半導体集積回路装置の製造工程を示す断面図である。

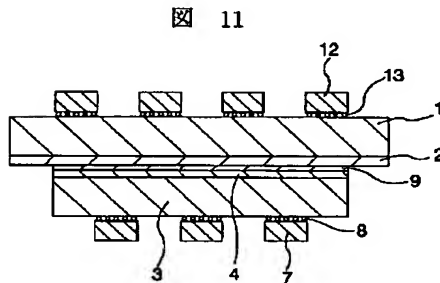
【図11】図10に続く半導体集積回路装置の製造工程を示す断面図である。

【図12】図11に続く半導体集積回路装置の製造工程を示す断面図である。

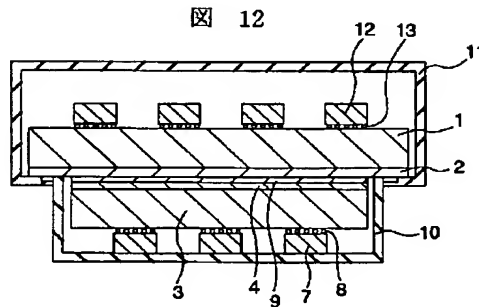
【符号の説明】

- 1 第1のMCM基板
- 2 導電膜
- 3 第2のMCM基板
- 4 導電膜
- 5 LSIチップ
- 6 ボンディングワイヤ
- 7 LSIチップ
- 8 パンプ
- 9 接着材
- 10 第1のパッケージ用キャップ
- 11 第2のパッケージ用キャップ
- 12 LSIチップ
- 13 パンプ

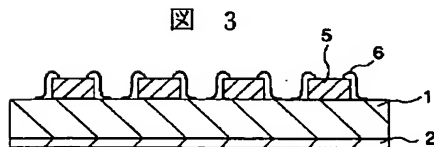
【図1】



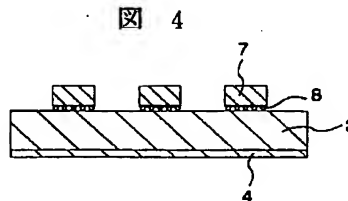
【図2】



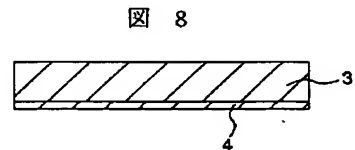
【図3】



【図4】

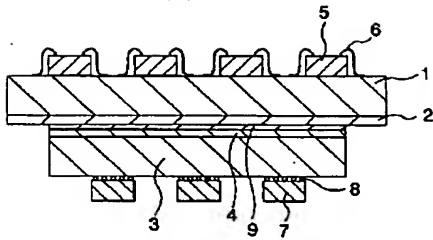


【図8】



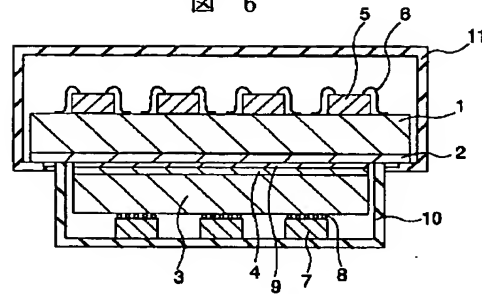
【図5】

図 5



【図6】

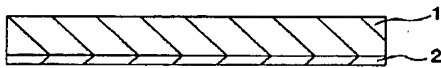
図 6



1: 第1のMCM基板 5: LSIチップ
3: 第2のMCM基板 7: LSIチップ

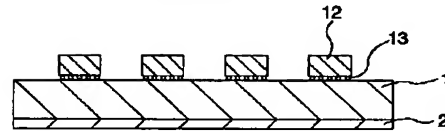
【図7】

図 7



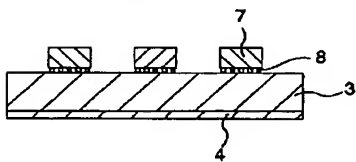
【図9】

図 9



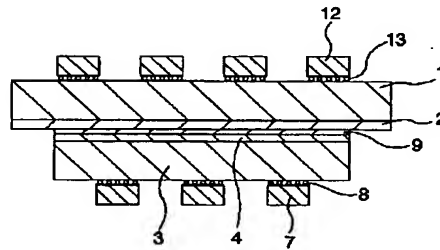
【図10】

図 10



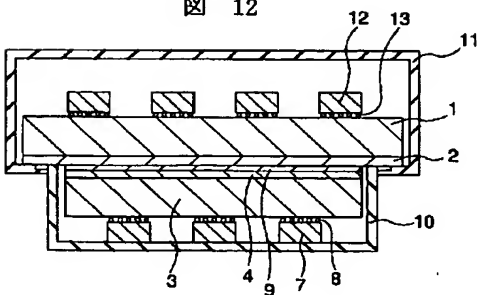
【図11】

図 11



【図12】

図 12



【手続補正書】

【提出日】平成8年6月12日

【手続補正1】

【補正対象書類名】図面

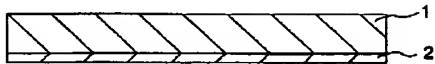
【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

図 1



【手続補正2】

【補正対象書類名】図面

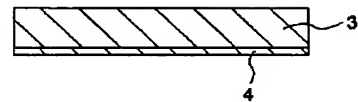
【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

図 2



フロントページの続き

(72)発明者 堀内 光明
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 田辺 慎一
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内